

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

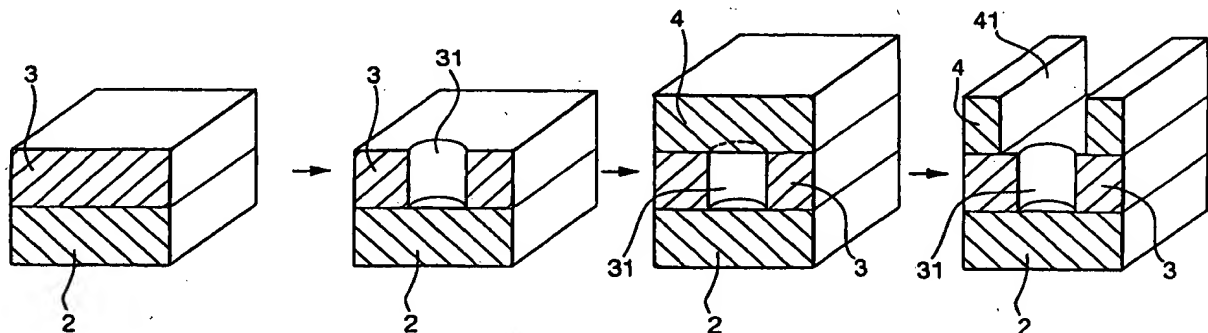
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

<p>(51) 国際特許分類6 H01L 21/3205, 21/768</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/14786</p> <p>(43) 国際公開日 2000年3月16日(16.03.00)</p>
<p>(21) 国際出願番号 PCT/JP99/04741</p> <p>(22) 国際出願日 1999年9月1日(01.09.99)</p> <p>(30) 優先権データ 特願平10/264040 1998年9月2日(02.09.98) JP 特願平10/321537 1998年10月27日(27.10.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)[JP/JP] 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてののみ) 赤堀 孝(AKAHORI, Takashi)[JP/JP] 〒192-0362 東京都八王子市松本37-5 ベアーズパレス401 Tokyo, (JP) 稲沢剛一郎(INAZAWA, Kouichiro)[JP/JP] 〒156-0055 東京都世田谷区船橋5-33-7-505 Tokyo, (JP) 妹尾幸治(SENOO, Kouji)[JP/JP] 〒400-0073 山梨県甲府市湯村3-19-57 Yamanashi, (JP)</p>		<p>萩原正明(HAGIWARA, Masaaki)[JP/JP] 〒206-0812 東京都稲城市矢野口616 エスペランサ510-205号 Tokyo, (JP)</p> <p>(74) 代理人 佐藤一雄, 外(SATO, Kazuo et al.) 〒100-0005 東京都千代田区丸の内三丁目2番3号 富士ビル323号 協和特許法律事務所 Tokyo, (JP)</p> <p>(81) 指定国 IL, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54)発明の名称 半導体装置の製造方法



(57) Abstract

A method for manufacturing a semiconductor device having an interlayer insulating film of, e.g., fluorine-added carbon by a simple dual damascene method. An insulating film, e.g., an SiO₂ film (3) is formed on a substrate (2), a via hole (31) is made in the SiO₂ film (3) by etching, and an upper insulating film, e.g., a CF film (4) is formed over the SiO₂ film (3). If the CF film is formed by means of a plasma created from a film forming material having a bad buriability, e.g., C₆F₆ gas, the CF film is prevented from being buried in the via hole (31) and the CF film (4) is formed over the SiO₂ film (3). A trench (41) is made in the CF film (4) by etching, enabling easy formation of a dual damascene having the trench (41) and the via hole (31) integrally continuous with the trench (41).

(57)要約

例えば層間絶縁膜としてフッ素添加カーボン膜を用いた半導体装置を簡易な手法のデュアルダマシン法で製造すること。

基板2に絶縁膜例えば SiO_2 膜3を成膜した後、当該 SiO_2 膜3にビアホール31をエッチングし、次いで SiO_2 膜3の上面に上部絶縁膜例えばCF膜4を成膜する。ここで埋め込み特性の悪い成膜材料例えば C_6F_6 ガスをプラズマ化することにより前記CF膜の成膜を行うと、ビアホール31内へのCF膜の埋め込みを抑えながら SiO_2 膜3の上面にCF膜4を成膜できる。続いてCF膜4に溝41をエッチングすることにより、溝41とビアホール31とが一体となったデュアルダマシン形状を容易に製造することができる。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SN	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GN	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GW	ギニア・ビサウ	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GR	ギリシャ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	HR	クロアチア	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HU	ハンガリー	ML	マリ	TR	トルコ
CF	中央アフリカ	IE	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	IL	イスラエル	MR	モーリタニア	UA	ウクライナ
CH	スイス	IN	インド	MW	マラウイ	UG	ウガンダ
CI	コートジボワール	IS	アイスランド	MX	メキシコ	US	米国
CM	カメルーン	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CN	中国	JP	日本	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CU	キューバ	KG	キルギスタン	NZ	ニュージーランド	ZA	南アフリカ共和国
CY	キプロス	KP	北朝鮮	PL	ポーランド	ZW	ジンバブエ
CZ	チェコ	KR	韓国	PT	ポルトガル		
DE	ドイツ			RO	ルーマニア		
DK	デンマーク						

明 細 書

半 導 体 装 置 の 製 造 方 法

技術分野

本発明は、デュアルダマシン (Dual Damascene)法により半導体装置を製造する方法に関する。

背景技術

半導体デバイスの高集積化を図るために、パターンの微細化、回路の多層化といった工夫が進められており、そのうちのひとつとして配線を多層化する技術がある。多層配線構造をとるためには、 n 層目の配線層と $(n+1)$ 番目の配線層の間を導電層で接続すると共に、導電層以外の領域は層間絶縁膜と呼ばれる薄膜が形成される。この層間絶縁膜は、 Si 基板のすぐ上の層に形成される場合もあり、さらに上の層に形成される場合もある。

この層間絶縁膜の代表的なものとして SiO_2 膜があるが、近年デバイスの動作についてより一層の高速化を図るために層間絶縁膜の比誘電率を低くすることが要求されており、層間絶縁膜の材質についての検討がなされている。即ち SiO_2 膜は比誘電率がおよそ4であり、これよりも小さい材質の発掘に力が注がれている。そのうちのひとつとして比誘電率が3.5である $SiOF$ 膜の実現化が進められているが、本発明者は比誘電率が更に小さいフッ素添加カーボン膜（以下「CF膜」という）に注目している。

ところで溝配線とビアプラグを一度に形成する手法としてデュアルダマシン (Dual Damascene)プロセスがあり、このプロセスにより低誘電率層間絶縁膜を用いた半導体デバイスを製造する方法については、月刊セミコンダクターワールド1998年2月号p. 108～114に、溝にエッチングする方法や、ビアホールを先にエッチングする方法、溝とビアホールをセルフアラインで一度にエッチングする方法等、想定されるプロセスフローが記載されている。

このうちのセルフアラインで一度にエッチングする方法について図17及び図

18を用いて簡単に説明する。図17(a)中10はビアホールが形成される第1の低誘電率層間絶縁膜、11は Si_3N_4 層、12は Si_3N_4 層又は SiO_2 膜からなるエッチングストッパ層である。先ず図17(b), (c)に示すようにエッチングストッパ層12をホールパターン状にエッチングする。図中13はフォトレジストである。次いでエッチングストッパ層12の上面に、溝が形成される第2の低誘電率層間絶縁膜14と SiO_2 膜からなるハードマスク15とをこの順序で成膜する(図17(d), (e)参照)。

続いて図18(a), (b)に示すようにハードマスク15を溝パターン状にエッチングした後、図18(c)に示すようにハードマスク15をマスクとして第2の低誘電率層間絶縁膜14に溝14aをエッチングする。そしてさらにエッチングストッパ層12をマスクとしてエッチングを続け、第1の低誘電率層間絶縁膜10にビアホール10aをエッチングする(図18(d)参照)。図中16はフォトレジストである。

しかしながら上述の方法では、エッチングストッパ層12、ハードマスク15、第1及び第2の低誘電率層間絶縁膜10、14の合計4回のエッチングが必要であって工程が多くなる上、溝のエッチングとビアホールのエッチングとを連続して行っているので、溝からビアホールへの急激な被エッチング面積の減少による過剰ラジカルの影響等の課題が想定される。

また溝を形成してからビアホールを形成するプロセスフローや、ビアホールを形成してから溝を形成するプロセスフロー等においても、やはりエッチング回数が多い上、一度エッチングした場所をさらに加工するという従来のエッチングにはないプロセスを行わなければならないので種々の課題が予想される。このようにデュアルダマシンプロセスは現状では工程が複雑であってスループットが悪く、コストアップを招くという大きな問題がある。

発明の開示

本発明はこのような事情の下になされたものであり、その目的は、例えば比誘電率の低いフッ素添加カーボン膜を層間絶縁膜として用いた半導体装置を簡易な手法のデュアルダマシン法により製造する方法を提供することにある。

このため本発明は、被処理体上に絶縁膜を形成する工程と、前記絶縁膜にビアホールをエッチングする工程と、ビアホールが形成された絶縁膜の表面に、埋め込み特性の悪い成膜材料を用いて例えばフッ素添加カーボン膜からなる上部絶縁膜を形成する工程と、前記上部絶縁膜に、金属を埋め込み配線を形成するための溝を前記ビアホールの少なくとも一部に接触するようにエッチングする工程と、を含むことを特徴とする。ここで「埋め込み特性が悪い」と記述しているが、これは対象物がホールで有り、通常絶縁膜の埋め込みを論議するのは、溝への埋め込みを論議するが、本特許では、下地がホールを有しており、そのホールへの埋め込みが悪いことを「埋め込み特性が悪い」と表記している。例えば前記フッ素添加カーボン膜を形成する工程は、炭素とフッ素との化合物を含み、埋め込み特性の悪い成膜材料例えばヘキサフルオロベンゼンをプラズマ化することにより行われる。

また本発明は、被処理体上に絶縁膜を形成する工程と、前記絶縁膜にビアホールをエッチングする工程と、ビアホールが形成された絶縁膜の表面に、当該絶縁膜とはエッチング選択比の異なる上部絶縁膜を形成する工程と、前記上部絶縁膜に、金属を埋め込むことにより配線を形成するための溝を前記ビアホールの少なくとも一部に接触するようにエッチングする工程と、上部絶縁膜のエッチング終了後所定時間エッチングを行なうことにより、ビアホール内に堆積した上部絶縁膜をエッチングにより除去する工程と、を含むことを特徴とする。この際ビアホールが形成された絶縁膜の表面に、当該絶縁膜とはエッチング選択比の異なる薄膜を形成し、前記薄膜の表面に上部絶縁膜を形成するようにしてもよい。ここで前記上部絶縁膜としてはフッ素添加カーボン膜や塗布膜が用いられる。

図面の簡単な説明

図1は本発明方法の概要を説明するための工程図である。

図2は本発明方法の具体的な一例を示す工程図である。

図3は本発明方法の具体的な一例を示す工程図である。

図4は本発明方法の具体的な一例を示す工程図である。

図5は本発明方法の具体的な一例を示す工程図である。

図6は本発明方法を実施するためのプラズマ処理装置の一例を示す縦断側面図である。

図7は本発明の作用を説明するための工程図である。

図8は本発明方法で製造される半導体装置の他の例を示す断面図である。

図9は本発明方法の他の例を示す工程図である。

図10は塗布膜の形成方法を説明するための工程図である。

図11は本発明の他の例の作用を説明するための説明図である。

図12は塗布膜とハードマスク、エッチングガス、絶縁膜との関係を示す特性図である。

図13は本発明方法のさらに他の例を示す工程図である。

図14は本発明方法のさらに他の例を示す工程図である。

図15は本発明方法のさらに他の例を示す工程図である。

図16は本発明方法のさらに他の例を示す工程図である。

図17は従来のデュアルダマシン法の一例を示す工程図である。

図18は従来のデュアルダマシン法の一例を示す工程図である。

図19は絶縁膜を形成する物質の例と化学構造式を示す図である。

発明を実施するための最良の形態

先ず本発明方法の概要について図1に基づいて説明する。本発明方法は被処理体をなす基板2に絶縁膜例えば SiO_2 膜3を成膜し、当該 SiO_2 膜3にビアホール31をエッチングした後、 SiO_2 膜3の上面に、埋め込み特性の悪い成膜材料を用いて上部絶縁膜例えばCF膜4を成膜し、次いでCF膜4に溝41をエッチングして溝41とビアホール31とが一体となったデュアルダマシン形状を製造するものである。なお、ここで、基板2上の絶縁膜は、多層配線構造をとる半導体装置の最下層にあるいわゆるSi基板上に形成される絶縁膜であってもよく、あるいは、さらに上層にあるn層目の配線層と(n+1)番目の配線層の間に形成される層間絶縁膜であってもよい。

この方法では埋め込み特性の悪い成膜材料を用いることにより、ビアホール31内へのCF膜の埋め込みを抑えながら SiO_2 膜3の上面にCF膜4が成膜さ

れるので、続いて溝41をエッチングすれば前記デュアルダマシン形状を容易に形成することができる。ここで溝41とは銅(Cu)やアルミニウム(Al)等の配線層を形成するために当該金属を埋め込むためのものであり、ビアホール31とは上下の配線層を接続するために金属を埋め込むためのものである。

続いて本発明によりSiO₂膜とCF膜とを積層し、SiO₂膜にビアホール、CF膜に溝を夫々形成した半導体装置を製造する場合を例にして図2～図5に基づいて具体的に説明する。先ず図2(a)に示すように、基板2の表面に例えば7000オングストローム程度の厚さのSiO₂膜3を形成する。このSiO₂膜3は例えばECR(電子サイクロトロン共鳴)を利用したプラズマ処理装置において成膜ガスをプラズマ化することにより形成される。

ここで前記プラズマ処理装置について図6により簡単に説明する。この装置では第1の真空室51と第2の真空室52とからなる真空容器5の内部には、高周波電源部53から導波管54及び透過窓55を介して例えば2.45GHzの高周波(マイクロ波)が供給されると共に、第1の真空室51の周囲と第2の真空室52の下部側に夫々設けられた主電磁コイル56と補助電磁コイル57とにより、第1の真空室51から第2の真空室52に向かい、ECRポイントP付近にて磁場の強さが875ガウスとなる磁場が形成される。こうして磁場とマイクロ波との相互作用により前記ECRポイントPにて電子サイクロトロン共鳴が生じる。

この装置にてSiO₂膜を形成するときには、第2の真空室52に設けられ、上面が静電チャックとして構成された載置台61に基板2をなす半導体ウエハWを載置すると共に、当該載置台61に高周波電源部62よりバイアス電圧を印加する。そして真空容器5内を排気管58を介して排気しながら、第1の真空室51にプラズマガス供給管63を介してプラズマガス例えばアルゴン(Ar)ガス及び酸素(O₂)ガスを夫々150sccm、120sccmの流量で導入すると共に、第2の真空室52に成膜ガス供給部64を介して成膜ガス例えばSiH₄ガスを70sccmの流量で導入し、当該成膜ガスを前記電子サイクロトロン共鳴によりプラズマ化することにより、SiO₂膜3を形成する。

次いでSiO₂膜3にビアホール31を形成する処理を行う。つまり先ず図2

(b) に示すように、 SiO_2 膜 3 の上面にレジスト 7 1 を塗布して所定のビアホールパターン形状を露光し、現像する。続いて図 2 (c) に示すように図示しないエッチング装置にて、炭素 (C) とフッ素 (F) とを含む化合物のガス（以下「CF 系ガス」という）例えば CF_4 ガスや C_2F_6 ガス等をエッチングガスとして用いて、 SiO_2 膜 3 に例えば直径 $0.5\ \mu\text{m}$ 程度の円筒状のビアホール 3 1 をエッチングした後、図 2 (d) に示すように O_2 ガスや水素 (H_2) ガスを用いてレジスト 7 1 を灰化して除去する。

次にビアホール 3 1 が形成された SiO_2 膜 3 の表面に密着層を形成する処理を行う（図 3 (a), (b) 参照）。この密着層は SiO_2 膜 3 と後述する CF 膜 4 との間の膜剥がれを抑えるためにこれらの間に介装される層であり、この例では例えば 100 オングストローム程度の厚さの窒化シリコン膜（以下「SiN 膜」という）8 1 と炭化ケイ素膜（以下「SiC 膜」という）8 2 とをこの順で積層して形成される。ここで前記 SiN 膜 8 1 は窒素 (N_2) とケイ素 (Si) とを含む膜であり、前記 SiC 膜 8 2 は C と Si とを含む膜であって、この例では SiN 膜 8 1 は N の原子数に対する Si の原子数の比が 1 以上のものを用いることが望ましい。またここでいう SiN 膜や SiC 膜は Si と N との比や Si と C との比が 1 対 1 であることを意味するものではない。

前記 SiN 膜 8 1 や SiC 膜 8 2 は例えば前記プラズマ処理装置にて成膜され、SiN 膜 8 1 は、プラズマガス例えば Ar ガスと、成膜ガス例えば SiH_4 ガス及び N_2 ガスとを、夫々 200 sccm, 10 sccm, 6.5 sccm の流量で導入し、マイクロ波電力 2.4 kW（高周波電源部 5 3）、バイアス電力 0 kW（高周波電源部 6 2）、基板温度 350°C の下、前記成膜ガスをプラズマ化することにより形成される（図 3 (a) 参照）。また SiC 膜 8 2 は、プラズマガス例えば Ar ガスと、成膜ガス例えば SiH_4 ガス及び C_2H_4 ガスとを、夫々 200 sccm, 10 sccm, 15 sccm の流量で導入し、マイクロ波電力 2.4 kW、バイアス電力 0 kW、基板温度 350°C の下、前記成膜ガスをプラズマ化することにより形成される（図 3 (b) 参照）。

続いて図 3 (c) に示すように密着層の上面に CF 膜 4 を形成する処理を行う。つまり例えば前記プラズマ処理装置において、成膜ガスとして C と F との化合物

であって埋め込み特性の悪い成膜材料例えばヘキサフルオロベンゼン (C_6F_6) ガスを用いて、当該成膜ガスをプラズマ化することにより形成される。この時の成膜条件は、プラズマガス例えばArガスと C_6F_6 ガスの流量が夫々90 sccm, 40 sccm, マイクロ波電力が2.4 kW, バイアス電力が0 kW, 基板温度が300°C~350°Cである。

このように C_6F_6 ガスを用いてCF膜を成膜すると、 C_6F_6 ガスはベンゼン環を有する化合物(芳香族化合物)のガスであって分子が大きく、しかも結合が強いので、成膜時には大きな分子構造を維持した状態で堆積していくと推察される。このためCF膜4は図7(a)に示すようにビアホール31の周囲から内側に迫り出していくように堆積していった徐々にビアホール31の間口を狭めていき、結局この間口を塞いでしまって(図7(b)参照)、ビアホール31の内部にはCF膜が埋め込まれない状態となる。この際バイアス電力を印加していないので、成膜時にプラズマイオンがウエハWに引き込まれることがなく、さらにCF膜の埋め込み特性が悪くなり、こうしてビアホール31への埋め込みを抑えながら、密着層の上面に例えば7000オングストロームの厚さのCF膜4が形成される。なお前記密着層の成膜においても、バイアス電力を印加せず、しかも密着層の厚さは合わせて200オングストロームとかなり薄いので、ビアホール31への密着層の堆積が抑えられる。

次いで図3(d)に示すようにCF膜4の上面に例えばSiC膜からなるハードマスク83を形成する処理を行う。このハードマスク83は、CF膜のエッチングには O_2 ガスや H_2 ガスをエッチングガスとして用いるが、通常のレジストは有機物であってこれらのガスで灰化されてしまうため、エッチングの際レジストの代わりにマスクとして用いられるものであり、CF膜とレジストとの間に介装され、 O_2 ガスや H_2 ガスによって灰化されない無機系の膜例えばSiN膜やSiC膜により構成される。

このハードマスク83は、例えば前記プラズマ処理装置において、プラズマガス例えばArガスと、成膜ガス例えば SiH_4 ガス及び C_2H_4 ガスを、夫々200 sccm, 10 sccm, 15 sccmの流量で導入し、マイクロ波電力2.4 kW, バイアス電力0 kW, 基板温度350°Cの下、前記成膜ガスをプラ

ズマ化することにより形成される。

続いてCF膜4に溝41を形成する処理を行う。つまり図4(a)に示すように、CF膜4の上面にレジスト72を塗布して所定の溝パターン形状を露光し、現像した後、図4(b)に示すように図示しないエッチング装置にて、CF系ガス例えばCF₄ガスやC₄F₈ガス等をエッチングガスとして用いてハードマスク83に溝83aをエッチングする。次いで図4(c)に示すように図示しないエッチング装置にて、O₂ガスやH₂ガスをエッチングガスとし、ハードマスク83をマスクとして用いて、CF膜4に、例えば幅が1.0μm程度であって、紙面に対して垂直な方向に延び、一部がビアホール31に接続する溝41(図1参照)をエッチングする。このときO₂ガスによりレジスト72は灰化されて除去される。

この後図5に示すように溝41とビアホール31とに金属例えばCuを埋め込む処理を行う。つまり例えば図5(a)に示すようにハードマスク83の表面にCu層84を形成して、溝41とビアホール31にCuを埋め込む処理を行った後、図5(b)に示すように図示しないCMP(Chemical mechanical polishing)装置においてCMP(研磨)処理を行い、不要なCu層84を研磨して除去し、こうして溝41とビアホール31とにCuが埋め込まれた半導体装置が製造される。

この方法では、既述のようにビアホール31へのSiN膜81やSiC膜82の堆積が抑えられるが、仮にビアホール31の底部に若干SiN膜81等が付着したとしても付着量はかなり少ないので、溝41のエッチング時にCF膜4から発生するFによりエッチングされる。またビアホール31のクリーニングを別工程にて行い、付着したSiN膜81等を除去するようにしてもよい。この際クリーニングガスとしてはC₄F₈ガスやCF₄ガス等のCF系ガスが用いられる。

本発明方法はC₆F₆ガス等の埋め込み特性の悪い成膜材料に着目して成されたものであり、予めSiO₂膜3にビアホール31をエッチングしておき、次いでC₆F₆ガスを成膜ガスとして用いてCF膜4の成膜を行っているので、既述のようにビアホール31内にCF膜を埋め込むことなく、CF膜4を成膜することができる。このため続いてCF膜4に所定のパターンで溝41をエッチングす

れば容易にデュアルダマシン形状を得ることができる。

このように本発明方法ではエッチング回数及び金属膜形成回数が少ないので工程数が少なく、 SiO_2 膜 3 のエッチングと CF 膜 4 のエッチングを夫々独立して行い、しかも従来の方法を用いることができるので、安定した操作を行うことができる。従って複雑なデュアルダマシン形状を有する半導体装置を簡易な手法で製造することができるので、スループットを向上させることができ、結果としてコストダウンを図ることができる。

以上において上述の例では配線となる溝 4 1 が形成される上部絶縁膜は CF 膜 4 とし、ビアホール 3 1 が形成される絶縁膜は SiO_2 膜 3 としたが、半導体装置では配線間の絶縁膜が低誘電率であればデバイスを小さくすることができるので、このような構成も有効である。

また本発明は、図 8 に示すように、溝 4 1 が形成される上部絶縁膜のみならずビアホール 9 1 が形成される絶縁膜も CF 膜とした構成の半導体装置の製造に適用してもよく、この場合には絶縁膜として比誘電率の低い CF 膜を用いているので半導体装置全体の比誘電率をさらに低くすることができる。またこのような半導体装置は同種の絶縁膜を積層しているので両者の間の密着性が大きく、両者の間の膜剥がれを抑えるための密着層は無くても良い。

以上において本発明では、溝が形成される上部絶縁膜は CF 膜に限定されるものではなく、ビアホール内を埋め込むことのない埋め込み特性の悪い絶縁膜であればいかなる絶縁膜も用いることができる。

このような絶縁膜としては、例えば有機 SOG (Spin on Glass) 膜や HSQ (Hydrogen Silsesquioxane) 膜、BCB (Bisbenzocyclobutene) 膜、ポリイミド膜、F 添加ポリイミド膜、フッ化ポリアリルエーテル、テフロン、サイトップ等の低誘電率の塗布膜を用いてもよい。

また、埋め込み特性の悪い絶縁膜を形成する場合に、その絶縁膜の形成条件を埋め込み特性を悪くする成膜条件に設定することによって形成しても良く、例えば、通常使用されているプラズマ TEOS (テトラエトキシシラン: $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$) であれば、平行平板プラズマ CVD 法において、TEDS 100 s

ccm、 O_2 100 sccm、基板温度330℃、電極間隔10mmにおいて成膜圧力を9 Torr以下とすると、極端に埋め込み特性を悪化することができる。また、埋め込み特性を悪化させる上での他の方法として、プラズマ SiH_4 系の SiO_3 膜であれば例えば、ECR、ICP等の高密度プラズマCVD装置、ここではECRプラズマCDD装置（図6）を使用した場合、 SiH_4 100 sccm、 C_2 500 sccm、Ar 150 sccm、基板温度380℃で成膜圧力5 Torr以上であれば極端に埋め込み特性を悪化させることができる。

また埋め込み特性を悪化させる上でのさらに他の方法として、プラズマ SiF_4 系の $SiOF$ 膜であれば、例えば、ECR、ICP等の高密度プラズマCVD装置、ここでは、ECRプラズマCDD装置（図6）を使用した場合、 SiF_4 100 sccm、 O_2 500 sccm、Ar 150 sccm基板温度380℃で成膜圧力7 mTorr以上であれば極端に埋め込み特性を悪化させることができる。

このように従来技術、従来材料であっても埋め込み特性を悪化できる成膜条件であれば、その成膜条件を使用した形成して形成した埋め込み特性の悪い絶縁膜であっても良い。

また、パリレン、メチルシラン系を用いた絶縁膜、例えばFlowfill (Trikon Technologies Ltd. 社製) 等を用いても良い。メチルシラン系を用いた絶縁膜に対しては「1998 DUMIC Conference P311」、パリレンについては「SEMICONDUCTOR INTERNATIONAL June 96 P211」に詳細が記されてる。

図19に、有機SOG、ポリイミド、F添加ポリイミド、BCB、フッ化ポリアリルエーテル、F添加パリレン、テフロン、サイトップの構造式を示す。

ここで塗布膜は、ウェハを回転させた状態で、ウェハ表面に前記有機SOG膜等の高分子材料を供給し、回転の遠心力を利用して前記高分子材料をウェハの表面全体に拡散させて塗布した後、加熱により固めることにより形成されるが、この場合には高い表面張力を有する溶剤を用いたり、回転数を上げる等の調節によりビアホール内を埋め込むことなく塗布膜を形成することができる。

ここで上部絶縁膜として塗布膜を用いる場合について、ビアホールが形成され

る絶縁膜（以下「下部絶縁膜」という）を SiO_2 膜3、溝が形成される上部絶縁膜を SiLK 膜（Daw Chemical社の登録商標）100により形成した半導体装置を例にして図9により具体的に説明する。

図9（a）は基板2の上に SiO_2 膜3を成膜し、当該 SiO_2 膜3にビアホール31を形成した状態を示しており、 SiO_2 膜3やビアホール31は上述の実施の形態と同様の方法で形成される。次に図9（b）に示すように SiO_2 膜3の表面に SiLK 膜100を形成する工程を行う。ここでこの例のように下部絶縁膜として SiO_2 膜3、上部絶縁膜として SiLK 膜100を用いる場合には、 SiO_2 膜と SiLK 膜とは密着性が良いので両者の間に密着層を設けなくてもよい。

SiLK 膜の成膜について図10により説明すると、先ず例えば図10（a）に示すように、ウェハWを水平方向に回転可能な保持部材110に保持させた状態で、当該ウェハWの表面に SiLK 膜の成膜材料と当該成膜材料の溶剤とを含む塗布材料111を供給し、次いで図10（b）に示すように、ウェハWを水平方向に回転させることにより、回転の遠心力で前記塗布材料111をウェハW表面全体に拡散させる。続いてウェハWを、処理容器112の内部に加熱プレート113を備えたベーク装置に搬送して前記加熱プレート113の上に載置し、例えば140℃の温度にて所定時間ベーク処理を行い、この処理により溶剤を蒸発させて除去する。その後ウェハWを処理容器114の内部に加熱プレート115を備えた加熱装置に搬送して前記加熱プレート115の上に載置し、例えば400℃の温度にて所定時間キュア処理を行い、この処理により重合反応を起こさせて塗布材料を固化させ、こうして SiLK 膜100の成膜が行われる。この際キュア処理は熱処理炉にて行うようにしてもよい。

次いで図9（c）に示すように、 SiLK 膜100の上面に例えば SiO_2 膜からなるハードマスク101を形成する処理を行った後、上述の実施の形態と同様の方法にて SiLK 膜100に溝を形成する処理を行う。つまり SiLK 膜100の上面にレジストを塗布して所定の溝パターン形状を露光し、現像した後、 O_2 ガスや H_2 ガス等をエッチングガスとして用いて SiLK 膜100に溝をエッチングする。そして溝とビアホール31とに金属例えばCuを埋め込む処理及

びCMP処理を行うことにより半導体装置が製造される。

このようにSiLK膜100は塗布材料111をウエハW上に塗布することにより形成されるが、溶剤の表面張力を高くしたり、ウエハWを高速で回転させたり等といった塗布条件を選択することにより、例えば図11(a)に示すように、塗布材料111をビアホール31の間口を塞ぐように拡散させ、ビアホール31に塗布材料111をほとんど埋め込ませない状態(図11(b))でSiLK膜100を塗布することができる。このようにビアホール31内へのSiLK膜100の付着量がかなり少ない場合には、SiLK膜100のエッチング工程にビアホール31内のSiLK膜も除去することができる。

この例のように塗布膜としてSiLK膜を用いる場合には、ハードマスクとしては、図12の一覧表に示すように、SiO₂膜の他、SiOF膜やSiN膜、TiN膜や、HSQ膜やMSQ膜、有機SOG膜、ポーラスシリカ等の塗布膜を用いることができる。また下部絶縁膜としては、SiO₂膜の他、SiOF膜やSiN膜等のSiを含む絶縁膜や、HSQ膜やMSQ膜、有機SOG膜、ポーラスシリカ等の塗布膜を用いることができる。

また上部絶縁膜として用いられる塗布膜としては、上述のSiLK膜の他に、既述のようにBCB膜(Daw Chemical社の登録商標)や有機SOG膜、HSQ膜やMSQ膜(いずれもDaw Chemical社の登録商標)、FLARE膜(Allied Signal社の登録商標)やポーラスシリカ等があり、これらのうちBCB膜、有機SOG膜、HSQ膜、MSQ膜、FLARE膜は、SiLK膜と同様に、塗布材料をスピン塗布した後、ベーク処理及びキュア処理を行うことにより成膜される。またポーラスシリカは塗布材料をスピン塗布した後、エージング処理により塗布材料をゲル化させた後、溶媒を除去することにより成膜される。

これらの膜のハードマスクやエッチングガス、下部絶縁膜については図12に夫々示す。つまりハードマスクについては、BCB膜及びFLARE膜にあっては、SiO₂膜やSiOF膜、SiN膜、TiN膜、HSQ膜やMSQ膜、有機SOG膜、ポーラスシリカ等であり、HSQ膜やMSQ膜にあってはフォトレジストである。また有機SOG膜やポーラスシリカにあっては、これらの膜とフォ

トレジストとは反応してしまうため、 SiO_2 膜の上面にフォトレジストを形成したものである。

またエッチングガスについては、BCB膜及びFLARE膜にあっては、 O_2 ガスや H_2 ガスであり、有機SOG膜やHSQ膜、MSQ膜、ポーラスシリカにあってはCF系ガスである。さらに下部絶縁膜としては、BCB膜及びFLARE膜にあっては、 SiO_2 膜や SiOF 膜、 SiN 膜等のSiを含む絶縁膜、HSQ膜やMSQ膜、有機SOG膜、ポーラスシリカ等であり、有機SOG膜やHSQ膜、MSQ膜、ポーラスシリカにあっては、SiLK膜、BCB膜、FLARE膜、CF膜、 SiO_2 膜や SiN 膜等である。また上部絶縁膜として塗布膜を用いる場合においても、下部絶縁膜と上部絶縁膜との組み合わせにより両者の間の密着性が小さい場合には、下部絶縁膜と上部絶縁膜との間に密着層を介装するようにしてもよい。

ここで実際に下部絶縁膜が5000オングストロームの厚さの SiO_2 膜、上部絶縁膜が5000オングストロームの厚さのSiLK膜であって、ビアホールが直径0.5 μm 、溝の幅が0.4 μm の半導体装置を上述のプロセスで製造し、SEM（走査電子顕微鏡）によりビアホールと溝の断面を観察したところ、ビアホールへのSiLK膜の埋め込みは見られず、デュアルダマシン形状が形成されていることが確認された。また上部絶縁膜をBCB膜、FLARE膜、有機SOG膜、HSQ膜、MSQ膜、ポーラスシリカに変えて同様に半導体装置を製造したところ、デュアルダマシン形状が形成されていることが確認された。

このように上部絶縁膜として塗布膜を用いる場合においても、本発明方法により複雑なデュアルダマシン形状を有する半導体装置を簡易な手法で製造することができる。

続いて本発明の他の実施の形態について説明する。

本実施の形態は、下部絶縁膜と上部絶縁膜とが異なる種類の絶縁膜であって、両者のエッチング選択比が異なる場合には、上部絶縁膜を形成する際にビアホールの一部若しくは全部に上部絶縁膜が成膜されても、上部絶縁膜のエッチングの際にエッチング時間をある程度長くすれば、ビアホール内の上部絶縁膜も除去できることを見出だしたことにより成されたものである。

この実施の形態について、下部絶縁膜を SiO_2 膜3、上部絶縁膜をCF膜4により形成した半導体装置を例にして図13により具体的に説明する。図13(a)は上述の実施の形態と同様の方法により、基板2の上に SiO_2 膜3を成膜し、当該 SiO_2 膜3にビアホール31を形成した後、 SiO_2 膜3の上面に密着層である SiN 膜81と SiC 膜82を形成した状態を示している。

そして密着層の上面にCF膜4を成膜するが、このCF膜4は例えば前記プラズマ処理装置において、プラズマガス例えばArガスと、成膜ガス例えば C_4F_8 ガスと C_2H_4 ガスを用いて、当該成膜ガスをプラズマ化することにより形成される。この時の成膜条件は、例えばArガスと C_4F_8 ガスと C_2H_4 ガスの流量が夫々150 sccm, 40 sccm, 30 sccm, マイクロ波電力が2.7 kW, バイアス電力が0 kW, 基板温度が300°C~350°Cである。

このようにCF膜の成膜を行うと、 C_4F_8 ガスは C_6F_6 ガスよりも分子が小さいので、 C_6F_6 ガスよりもビアホール31内に成膜されやすく、例えばビアホール31の底部や側壁の一部に付着してしまい、ビアホール31の一部にCF膜4が堆積した状態となる。

次いで図13(b)に示すように、上述の実施の形態と同様に、CF膜4の上面への例えば SiC 膜からなるハードマスク83の形成と、レジスト72の塗布、露光、現像とを行った後、図13(c)に示すように、CF系ガスをエッチングガスとして用いてハードマスク83をエッチングし、続いて図13(d)に示すようにCF膜4のエッチングを行う。このCF膜4のエッチングは、図示しないエッチング装置にて、 O_2 ガスや H_2 ガスをエッチングガスとし、ハードマスク83をマスクとして用いて行うが、この際エッチング時間はCF膜4のエッチングに要する時間よりも所定時間長く設定する。ここでCF膜4のエッチングに要する時間は、エッチングの終点を例えばFやCF系の発光分析により確認して決定される。

このようにCF膜4のエッチングが終了してからも所定時間続けてエッチングを行なうと、このいわゆるオーバーエッチングによりビアホール31内に存在するCF膜4もエッチングされて除去される。この際ビアホール31が形成される SiO_2 膜3とCF膜4とはエッチング選択比が異なるので、 O_2 ガスや H_2 ガ

スにより SiO_2 膜3がエッチングされることはなく、このオーバーエッチングによりビアホール31の側壁がエッチングされ、ビアホール形状が変化してしまうおそれはない。従ってCF膜4のエッチング時間を調整することにより、ビアホール31内に付着したCF膜の除去量を調整することができる。このためCF膜4の成膜時にビアホール31内の一部あるいは全部にCF膜が堆積したとしても、デュアルダマシン形状を形成することができる。

また本実施の形態は、上部絶縁膜が例えばSiLK膜、BCB膜、FLARE膜、有機SOG膜、HSQ膜、MSQ膜、ポーラスシリカ等の塗布膜や、パリレン、メチルシラン系の膜であって、下部絶縁膜が上部絶縁膜とはエッチング選択比が異なる場合にも適用できる。

ここで実際に絶縁膜が5000オングストロームの厚さの SiO_2 膜、上部絶縁膜が5000オングストロームの厚さのCF膜であって、ビアホールが直径0.5 μm 、溝の幅が0.4 μm の半導体装置を、CF膜のエッチング時間を通常の1.3倍にして上述のプロセスにて製造し、SEM（走査電子顕微鏡）により、エッチング前のビアホールと、エッチング後のビアホールと溝の断面を観察したところ、エッチング前にはビアホールの底部と側壁にCF膜が付着していたが、エッチング後にはビアホール内へのCF膜の埋め込みやビアホールの変形は見られず、デュアルダマシン形状が形成されていることが確認された。

また上部絶縁膜をSiLK膜、BCB膜、FLARE膜、有機SOG膜、HSQ膜、MSQ膜、ポーラスシリカに変えて同様に半導体装置を製造したところ、溶剤やウエハWの回転数を変えることにより、上部絶縁膜のビアホールへの埋め込み量が異なるものの、SiLK膜等は、 SiO_2 膜とのエッチング時の選択比が異なるので、ビアホールの大部分に上部絶縁膜が堆積している場合であっても、上部絶縁膜のエッチング時間を長くすることにより、ビアホールの形状の変化を抑えながらビアホール内の上部絶縁膜を除去することができ、デュアルダマシン形状が形成できることが確認された。

続いて本発明のさらに他の実施の形態について説明する。

本実施の形態は、下部絶縁膜と上部絶縁膜とのエッチング選択比がほとんど同じ場合であっても、これらの絶縁膜とはエッチング選択比が異なる薄膜を、下部

絶縁膜と上部絶縁膜との界面に設ければ、ビアホールの一部若しくは全部に上部絶縁膜が堆積していても、上部絶縁膜のエッチングの際にエッチング時間をある程度長くすることにより、ビアホールの形状を変化させずに、ビアホール内の上部絶縁膜も除去できることを見出だしたことにより成されたものである。

この実施の形態について、下部絶縁膜をCF膜9、上部絶縁膜をCF膜4により形成した半導体装置を例にして図14及び図15により具体的に説明する。図14(a)は上述の実施の形態と同様の方法により、基板2の上にCF膜9を成膜した状態を示しており、このCF膜9は例えば前記プラズマ処理装置において、成膜ガス例えば C_4F_8 ガスと C_2H_4 ガスをプラズマ化することにより形成される。

次いで図14(b)に示すように、CF膜9の上面への例えばSiC膜からなるハードマスク85の形成と、レジスト73の塗布、露光、現像とを行なう。ここでハードマスク85は例えば前記プラズマ処理装置において、成膜ガス例えば SiH_4 ガス及び C_2H_4 ガスをプラズマ化することにより形成される。この後図14(c)に示すように、CF系ガスをエッチングガスとして用いてハードマスク85をエッチングし、続いて O_2 ガスや H_2 ガスをエッチングガスとして用いてCF膜9にビアホール91をエッチングする。

次に図15(a)に示すように、ハードマスク85の上面にCF膜4を成膜するが、このCF膜4は上述の実施の形態と同様に、例えば前記プラズマ処理装置において、プラズマガス例えばArガスと、成膜ガス例えば C_4F_8 ガスと C_2H_4 ガスを夫々150sccm、40sccm、30sccmの流量で導入し、マイクロ波電力2.7kW、バイアス電力0kW、基板温度300℃～350℃の下で、成膜ガスをプラズマ化することにより形成される。この成膜により既述のように、例えばビアホール91の底部や側壁の一部にCF膜4が堆積した状態となる。

次いで図15(b)に示すように、上述の実施の形態と同様に、CF膜4の上面への例えばSiC膜からなるハードマスク83の形成と、レジスト72の塗布、露光、現像とを行なった後、CF系ガスによるハードマスク83のエッチングと、 O_2 ガスや H_2 ガスによるCF膜4のエッチングとを行い、溝41を形成する

(図15(c)参照)。この際CF膜4のエッチング時間はCF膜4のエッチングに要する時間よりも所定時間長く設定する。

このようなオーバーエッチングを行うと、ビアホール91内に存在するCF膜4もエッチングされて除去される。この際下部絶縁膜と上部絶縁膜とは共にCF膜により形成されているので両者のエッチング選択比は同じであるが、両者の界面にSiC膜よりなるハードマスク85が設けられており、このハードマスク85とCF膜とはエッチング選択比が異なるので、このハードマスク85により下方側のCF膜9のエッチングが妨げられる。またCF膜4は垂直性のよいエッチングが行われるので、ビアホール91内のCF膜4のエッチングのみが進行し、ビアホール91の側壁が削られるおそれはない。さらにビアホール91の底部はCF膜とはエッチング選択比が異なる基板2であるため、当該ビアホール91の底部がエッチングにより削られるおそれもない。

従ってこのオーバーエッチングによりビアホール形状が変化させることなく、ビアホール91内に存在するCF膜4のみを除去することができ、CF膜4のエッチング時間を調整することにより、ビアホール91内に付着したCF膜の除去量を調整することができる。このため下部絶縁膜と上部絶縁膜とが同じ種類の絶縁膜である場合に、上部絶縁膜の成膜時にビアホール内に上部絶縁膜が埋め込まれたとしても、デュアルダマシン形状を形成することができる。

ここで上述の例では、下部絶縁膜と上部絶縁膜との界面に設けられる、これらの絶縁膜とはエッチング選択比が異なる絶縁膜として、絶縁膜のハードマスクを利用したので、前記エッチング選択比が異なる絶縁膜を新たに形成しなくてもよいという利点があるが、この実施の形態では前記エッチング選択比が異なる絶縁膜をカバー膜としてハードマスクと別個に形成するようにしてもよい。

またカバー膜は、例えば図16(a)に示すように、下部絶縁膜であるCF膜9の表面全体つまりビアホール91の側壁や底部の表面全体を覆うように形成するようにしてもよい。ここでカバー膜200は例えば下部絶縁膜であるCF膜とはエッチング選択比の異なるSiN膜やSiC膜などにより形成され、例えば上述のプラズマ成膜装置において所定の成膜ガスをプラズマ化することにより形成される。この際所定のバイアス電力を印加することにより、ビアホール91の側

壁や底部へカバー膜200を成膜することができる。

この場合には、引き続いて図16(b), (c)に示すように、上述の実施の形態と同様に、上部絶縁膜であるCF膜4をカバー膜200の表面に成膜し、次いでCF膜4のオーバーエッチングを行って、溝41の形成とCF膜4の成膜時にビアホール91の内部に堆積したCF膜4の除去を行なった後、図16(d)に示すように、エッチングガス例えばCF₄やC₄F₈ガスを用いてカバー膜200の除去を行う。

本実施の形態は、上部絶縁膜が例えばSiLK膜、BCB膜、FLARE膜、有機SOG膜、HSQ膜、MSQ膜、ポラスシリカ等の塗布膜や、パリレン、メチルシラン系の膜であって、下部絶縁膜が上部絶縁膜とはエッチング選択比が同じ場合にも適用できる。また上部絶縁膜と下部絶縁膜との種類が異なる場合にも適用してもよい。

ここで実際に下部絶縁膜が5000オングストロームの厚さのCF膜、上部絶縁膜が5000オングストロームの厚さのCF膜、両者の間に500オングストロームの厚さの下部絶縁膜のハードマスクが設けられていると共に、ビアホールが直径0.5 μ m、溝の幅が0.4 μ mの半導体装置を、CF膜のエッチング時間を通常の1.3倍にして上述のプロセスにて製造し、SEMにより、エッチング前のビアホールと、エッチング後のビアホールと溝の断面を観察したところ、エッチング前にはビアホールの底部と側壁にCF膜が付着していたが、エッチング後にはビアホール内へのCF膜の埋め込みやビアホールの変形は見られず、デュアルダマシン形状が形成されていることが確認された。

また上部絶縁膜と下部絶縁膜とをSiLK膜、BCB膜、FLARE膜、有機SOG膜、HSQ膜、MSQ膜、ポラスシリカに変えて同様に半導体装置を製造したところ、塗布条件を変えることにより上部絶縁膜のビアホールへの堆積量が異なるものの、ビアホールの大部分に上部絶縁膜が埋め込まれている場合であっても、上部絶縁膜のエッチング時間を長くすることにより、ビアホールの形状の変化を抑えながらビアホール内の上部絶縁膜を除去することができ、デュアルダマシン形状が形成できることが確認された。

以上において本発明では、埋め込み特性の悪いCF膜の成膜ガスとしては上述

の C_6F_6 ガス以外に、 C_4F_8 ガス、 C_5F_8 ガス、 C_6F_{10} ガス、 $C_6H_5CF_3$ ガス等を用いることができる。またこのCF膜はECRによりプラズマを生成することに限られず、例えばICP (Inductive Coupled Plasma) などと呼ばれている、ドーム状の容器に巻かれたコイルから電界及び磁界を処理ガスに与える方法などによりプラズマを生成する装置を用いても形成できる。

さらにヘリコン波プラズマなどと呼ばれている例えば13.56MHzのヘリコン波と磁気コイルにより印加された磁場との相互作用によりプラズマを生成する装置や、マグネトロンプラズマなどと呼ばれている2枚の平行なカソードにはほぼ平行をなすように磁界を印加することによってプラズマを生成する装置、平行平板などと呼ばれている互いに対向する電極間に高周波電力を印加してプラズマを生成する装置を用いても形成することができる。

さらにまたビアホールが形成される SiO_2 膜は、上述のようにプラズマCVDにより形成する他、熱酸化法やゾルーゲル法等により形成することができる。ここでゾルーゲル法とは、TEOS (テトラエトキシシラン； $Si(C_2H_5O)_4$) のコロイドをエタノール溶液等の有機溶媒に分散させた塗布液を半導体ウェハWの表面に塗布し、その塗布膜をゲル化した後乾燥させて SiO_2 膜を得る手法である。また SiO_2 膜とCF膜との間に形成される密着層としては、 SiN 膜は SiO_2 膜との密着性が大きく、 SiC 膜はCF膜との密着性が大きいのでこれらの膜を積層したものをを用いることは有効であるが、これらの膜の一方を用いるようにしてもよい。

またビアホールが形成される膜としては、このような SiO_2 膜の他、 $SiOF$ 膜や有機SOG膜、HSQ膜、BCB膜、ポリイミド膜、F添加ポリイミド膜、フッ化ポリアリルエーテル、テフロン、サイトップ等の塗布膜を用いることができる。

さらにまた埋め込み特性の悪い成膜材料を用いて上部絶縁膜の形成を行った場合であっても、上部絶縁膜に溝を形成するエッチングを行う際にいわゆるオーバーエッチングを行うようにしてもよい。

以上のように本発明によれば、半導体装置を簡易な手法のデュアルダマシソ法

で製造することができる。

請求の範囲

1. 被処理体上に絶縁膜を形成する工程と、
前記絶縁膜にビアホールをエッチングする工程と、
ビアホールが形成された絶縁膜の表面に、埋め込み特性の悪い成膜材料を用いて上部絶縁膜を形成する工程と、
前記上部絶縁膜に、金属を埋め込むことにより配線を形成するための溝を前記ビアホールの少なくとも一部に接触するようにエッチングする工程と、
を含むことを特徴とする半導体装置の製造方法。
2. 埋め込み特性の悪い成膜材料を用いて上部絶縁膜を形成する工程は、
炭素とフッ素との化合物であって埋め込み特性の悪い成膜材料を用いて前記上部絶縁膜としてフッ素添加カーボン膜を形成する工程であることを特徴とする請求項1に記載の半導体装置の製造方法。
3. 前記炭素とフッ素との化合物であって埋め込み特性の悪い成膜材料はヘキサフルオロベンゼンであることを特徴とする請求項2に記載の半導体装置の製造方法。
4. 埋め込み特性の悪い成膜材料を用いて上部絶縁膜を形成する工程は、
炭素とフッ素との化合物であって埋め込み特性の悪い成膜材料をプラズマ化し、そのプラズマにより前記上部絶縁膜としてフッ素添加カーボン膜を形成する工程であることを特徴とする請求項1に記載の半導体装置の製造方法。
5. 前記炭素とフッ素との化合物であって埋め込み特性の悪い成膜材料はヘキサフルオロベンゼンであることを特徴とする請求項4に記載の半導体装置の製造方法。
6. 前記上部絶縁膜は、前記ビアホールの開口部を跨ぐように形成されることを特徴とする請求項1に記載の半導体装置の製造方法。
7. 前記埋め込み特性の悪い成膜材料は、所定の成膜条件の下で埋め込み特性が悪くなる成膜材料であることを特徴とする請求項1に記載の半導体装置の製造方法。

22

8. 前記所定の成膜条件は、前記成膜材料に応じて設定される成膜圧力と成膜温度に依存することを特徴とする請求項7に記載の半導体装置の製造方法。

9. 前記絶縁膜は、多層配線構造を有する半導体装置における層間絶縁膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

10. 前記上部絶縁膜はフッ素添加カーボン膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

11. 前記上部絶縁膜は塗布膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

12. 前記塗布膜は、有機SOG (Spin on Glass) 膜、HSQ (Hydrogen Silsesquioxane) 膜、BCB (Bisbenzocyclobutene) 膜、ポリイミド膜、F添加ポリイミド膜、フッ化ポリアリルエーテル膜、テフロン膜、あるいはサイトップ膜のいずれかであることを特徴とする請求項11に記載の半導体装置の製造方法。

13. 被処理体上に絶縁膜を形成する工程と、

前記絶縁膜にビアホールをエッチングする工程と、

ビアホールが形成された絶縁膜の表面に、当該絶縁膜とはエッチング選択比の異なる上部絶縁膜を形成する工程と、

前記上部絶縁膜に、金属を埋め込むことにより配線を形成するための溝を前記ビアホールの少なくとも一部に接触するようにエッチングする工程と、

上部絶縁膜のエッチング終了後所定時間エッチングを行なうことにより、ビアホール内に堆積した上部絶縁膜をエッチングにより除去する工程と、を含むことを特徴とする半導体装置の製造方法。

14. 前記上部絶縁膜は、前記ビアホールの開口部を跨ぐように形成されることを特徴とする請求項13に記載の半導体装置の製造方法。

15. 前記絶縁膜は、多層配線構造を有する半導体装置における層間絶縁膜であることを特徴とする請求項13に記載の半導体装置の製造方法。

16. 前記上部絶縁膜はフッ素添加カーボン膜であることを特徴とする請求項13に記載の半導体装置の製造方法。

17. 前記上部絶縁膜は塗布膜であることを特徴とする請求項13に記載の半

導体装置の製造方法。

18. 被処理体上に絶縁膜を形成する工程と、
前記絶縁膜にビアホールをエッチングする工程と、
ビアホールが形成された絶縁膜の表面に、当該絶縁膜とはエッチング選択比の異なる薄膜を形成する工程と、
前記薄膜の表面に上部絶縁膜を形成する工程と、
前記上部絶縁膜に、金属を埋め込むことにより配線を形成するための溝を前記ビアホールの少なくとも一部に接触するようにエッチングする工程と、
上部絶縁膜のエッチング終了後所定時間エッチングを行なうことにより、ビアホール内に堆積した上部絶縁膜をエッチングにより除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

19. 前記上部絶縁膜は、前記ビアホールの開口部を跨ぐように形成されることを特徴とする請求項18に記載の半導体装置の製造方法。

20. 前記絶縁膜は、多層配線構造を有する半導体装置における層間絶縁膜であることを特徴とする請求項18に記載の半導体装置の製造方法。

21. 前記上部絶縁膜はフッ素添加カーボン膜であることを特徴とする請求項18に記載の半導体装置の製造方法。

22. 前記上部絶縁膜は塗布膜であることを特徴とする請求項18に記載の半導体装置の製造方法。

1/18

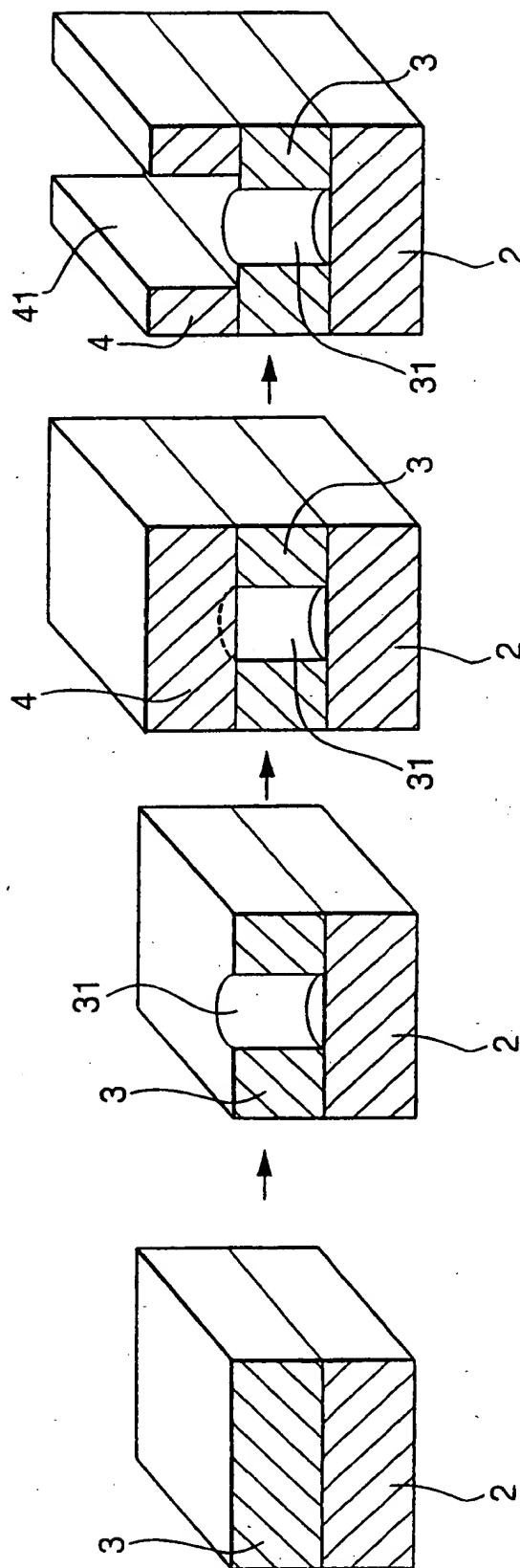
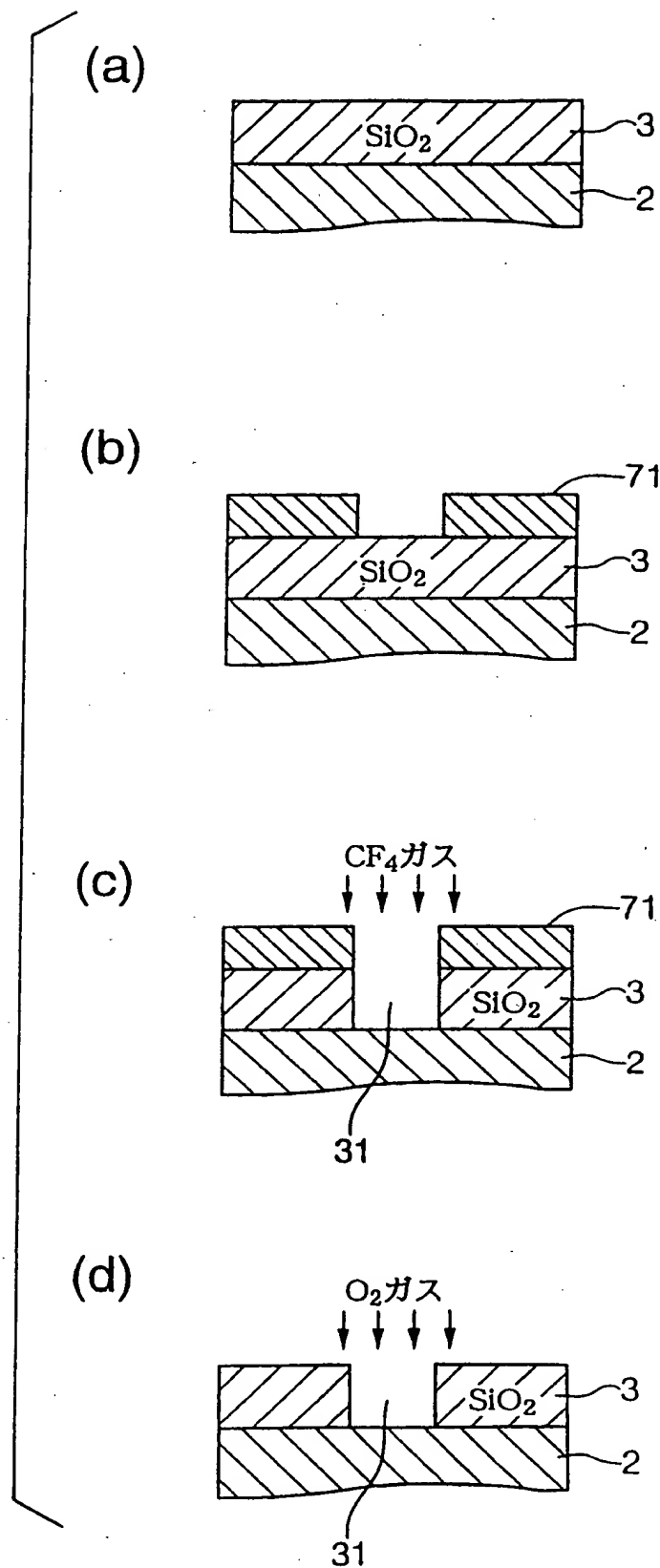


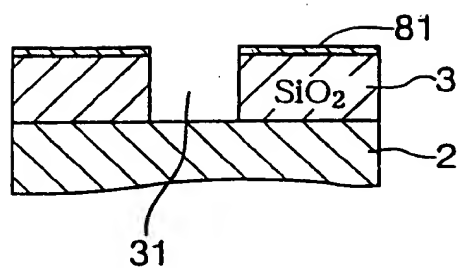
FIG. 1

2/18

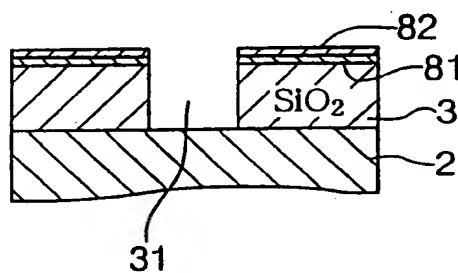


3/18

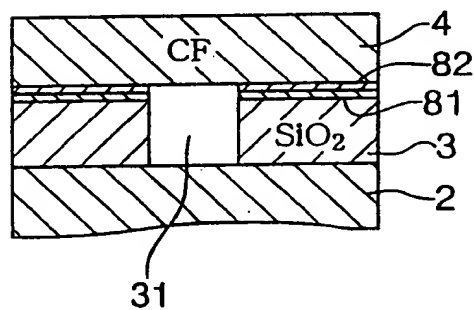
(a)



(b)



(c)



(d)

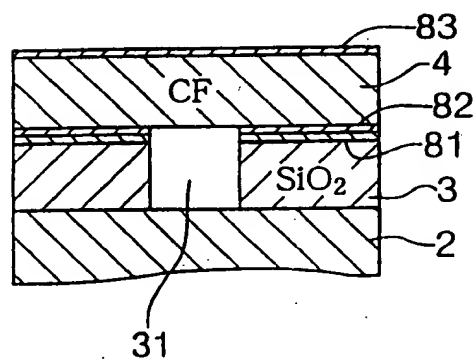
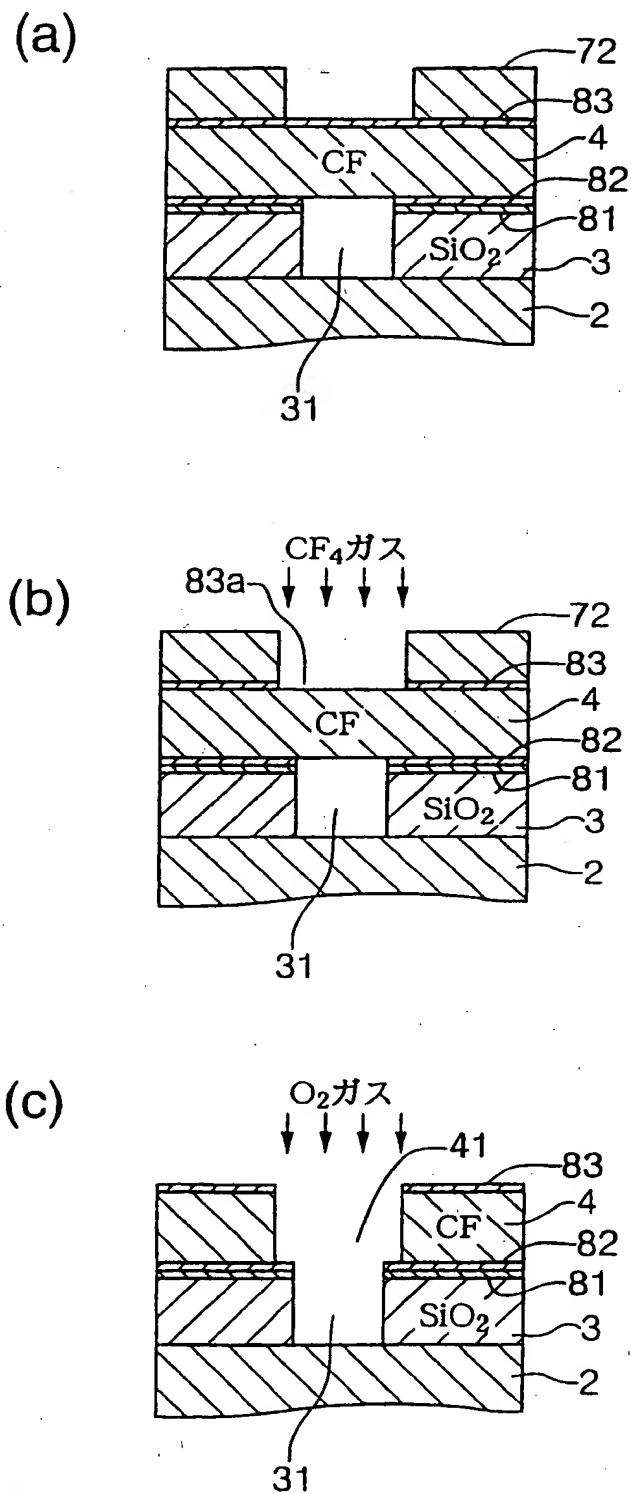
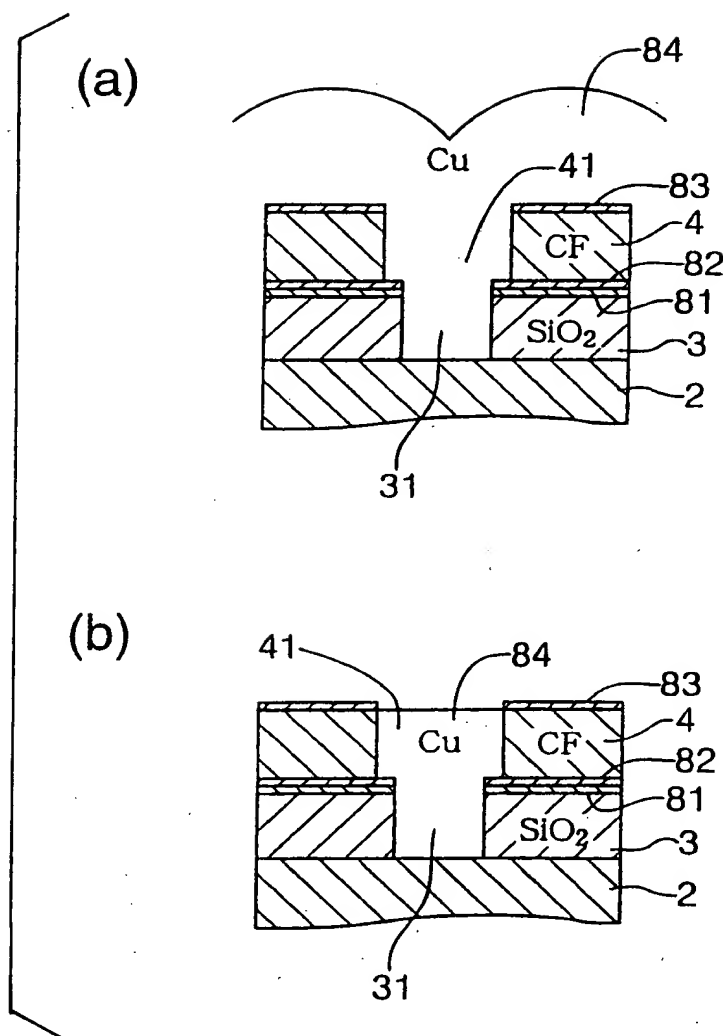


FIG. 3

4/18



5/18



6/18

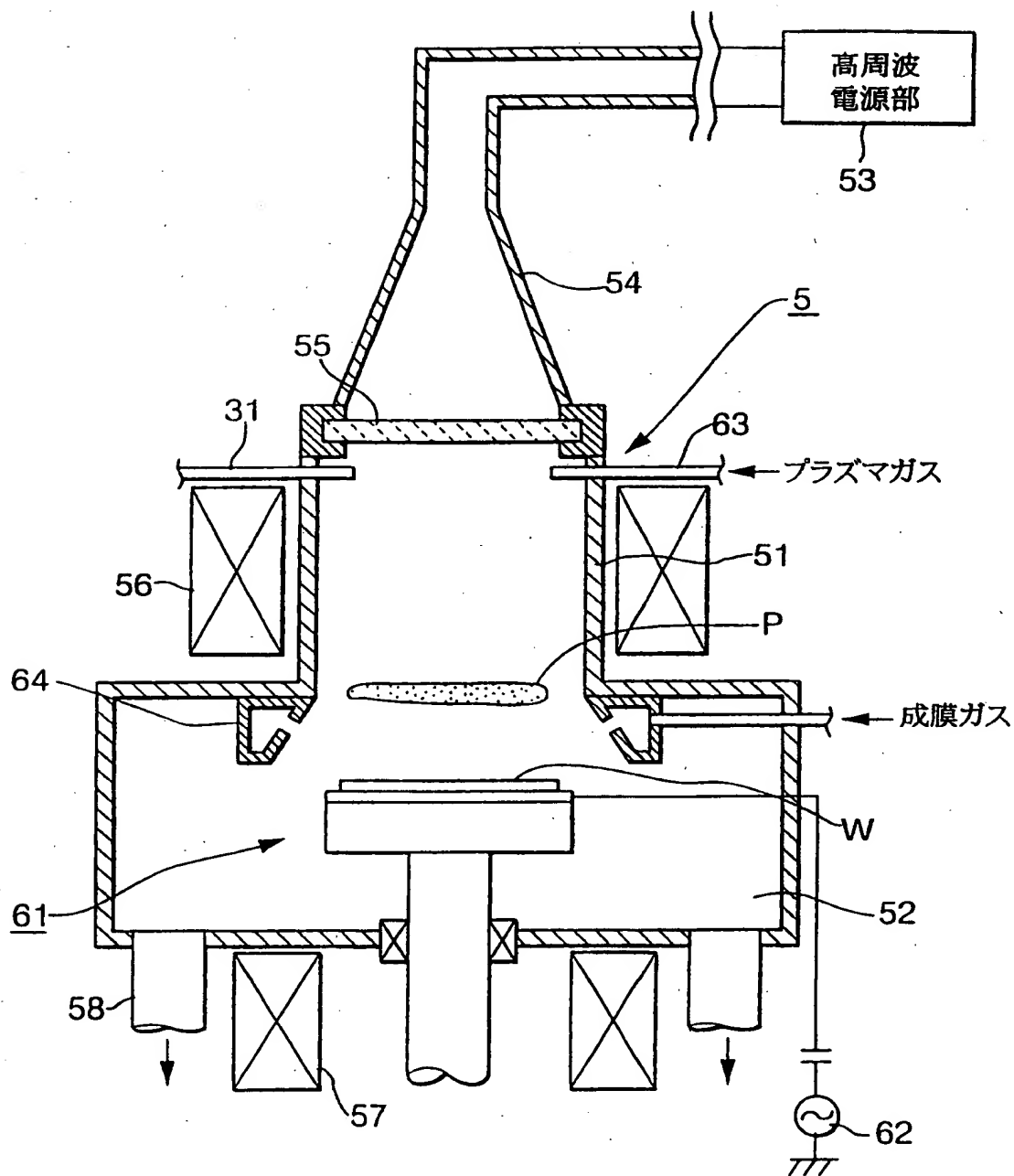


FIG. 6

7/18

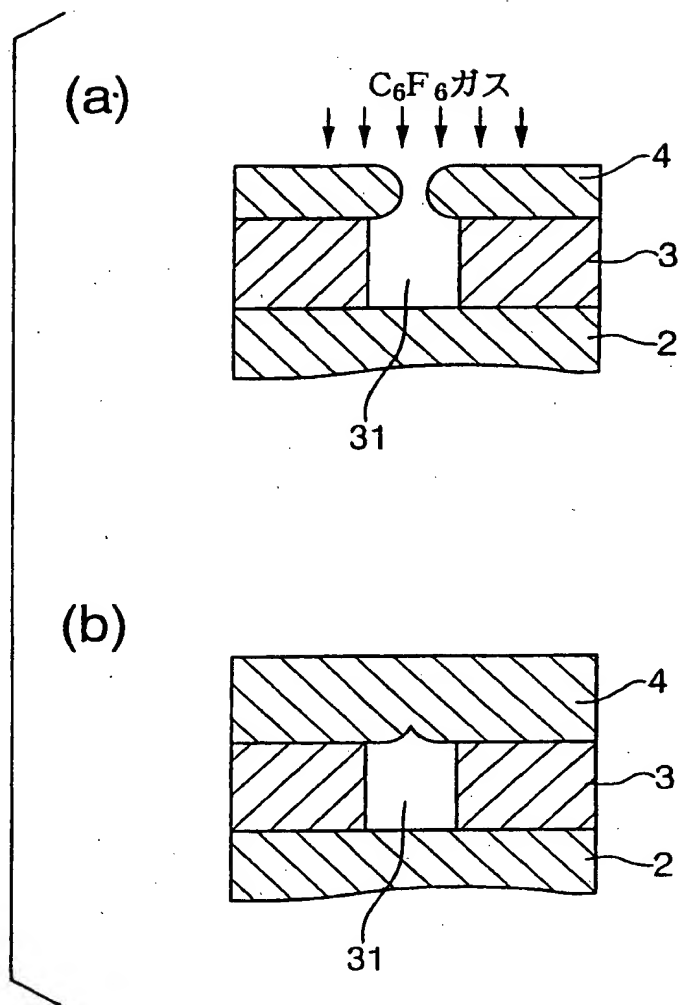


FIG. 7

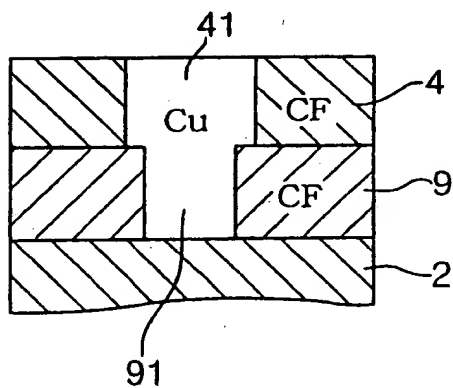


FIG. 8

8/18

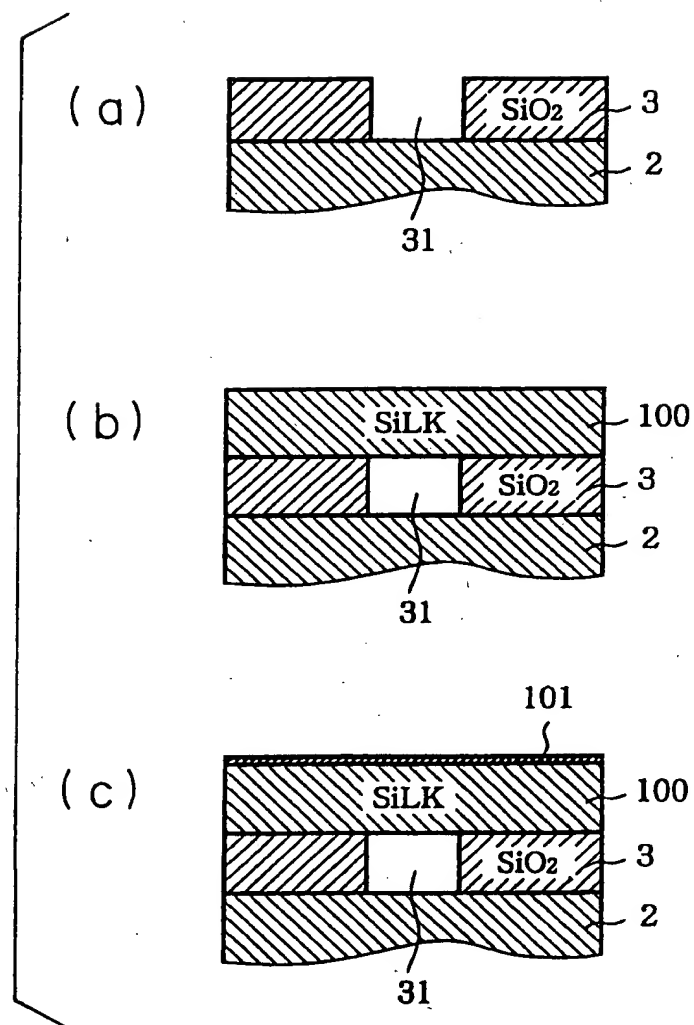


FIG. 9

9/18

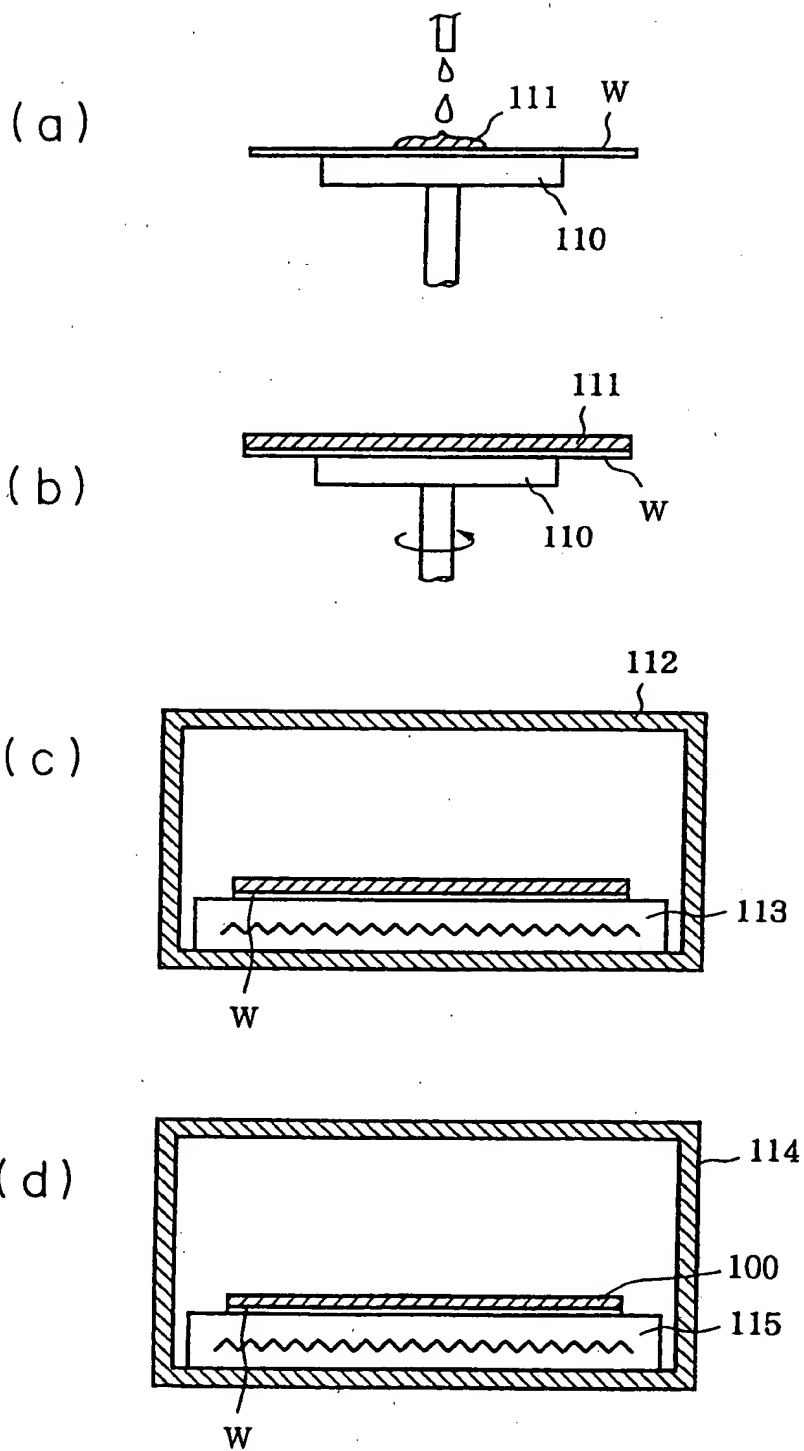


FIG. 10

10/18

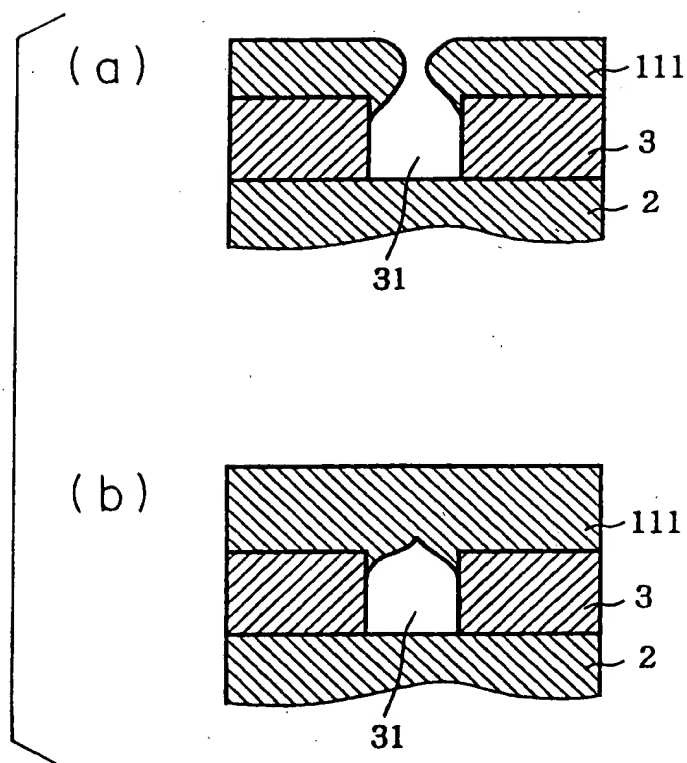


FIG. 11

11/18

塗布膜	ハードマスク	エッチングガス	絶縁膜
SiLK	SiO ₂ , SiOF SiN, TiN HSQ, MSQ 有機SOG ポーラスシリカ	O ₂ ガス or H ₂ ガス	SiO ₂ , SiOF SiN, HSQ MSQ, 有機SOG ポーラスシリカ
BCB			SiO ₂ , SiOF HSQ, MSQ 有機SOG ポーラスシリカ
FLARE			SiO ₂ , SiOF HSQ, MSQ 有機SOG ポーラスシリカ
HSQ	フォトレジスト	CF系ガス	SiLK BCB FLARE CF SiO ₂ SiN
MSQ			
有機SOG	フォトレジスト ／ SiO ₂		
ポーラスシリカ			

FIG. 12

12/18

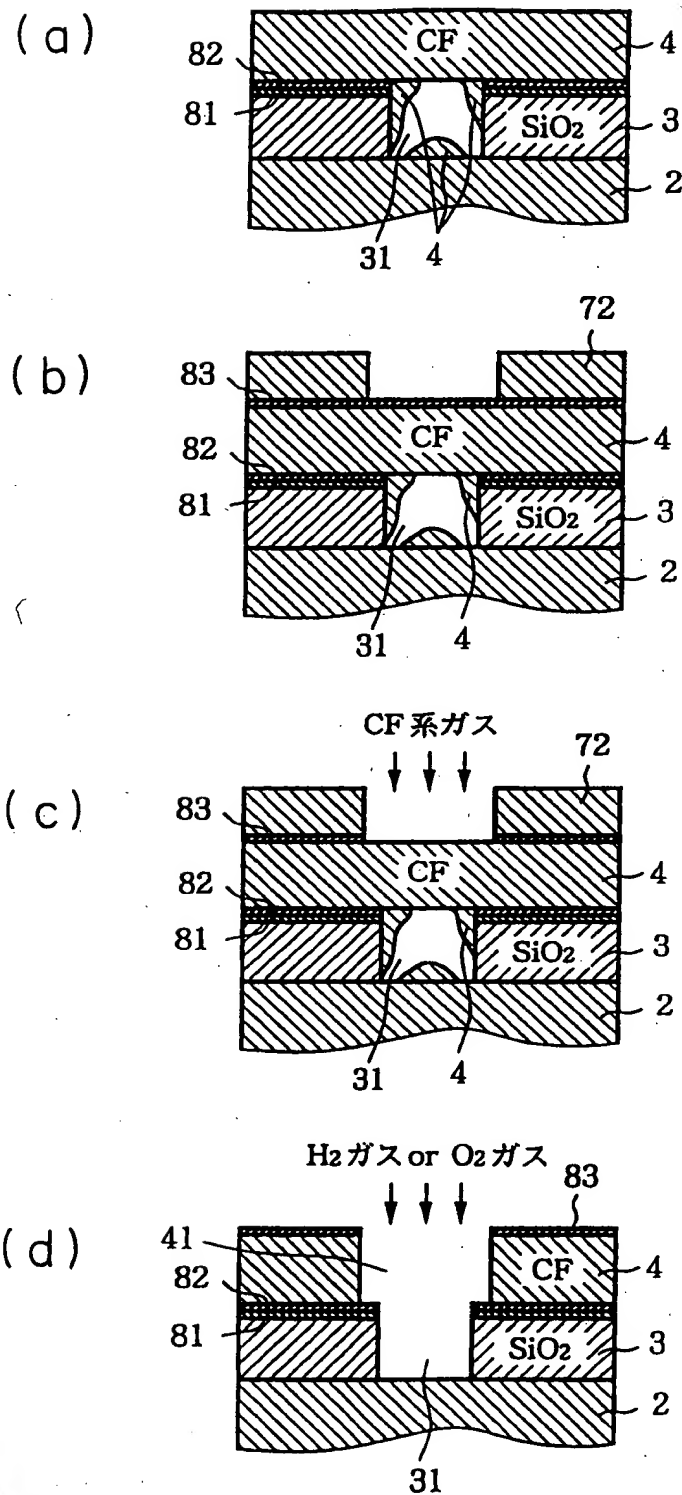


FIG. 13

13 / 18

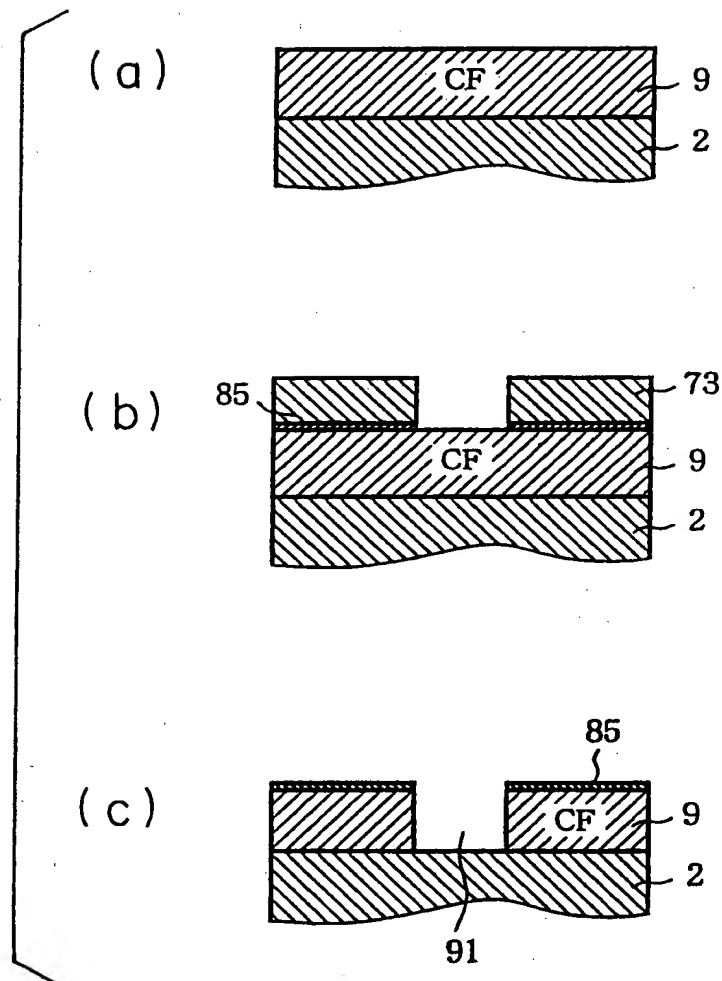


FIG. 14

14/18

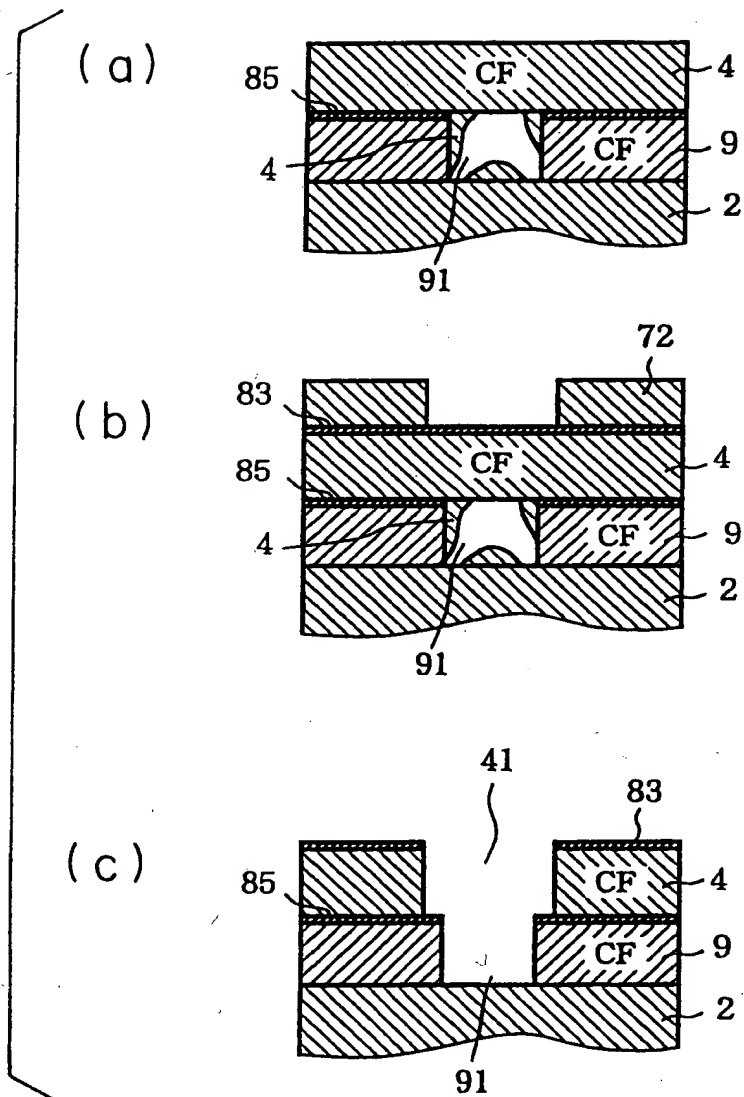


FIG. 15

15 / 18

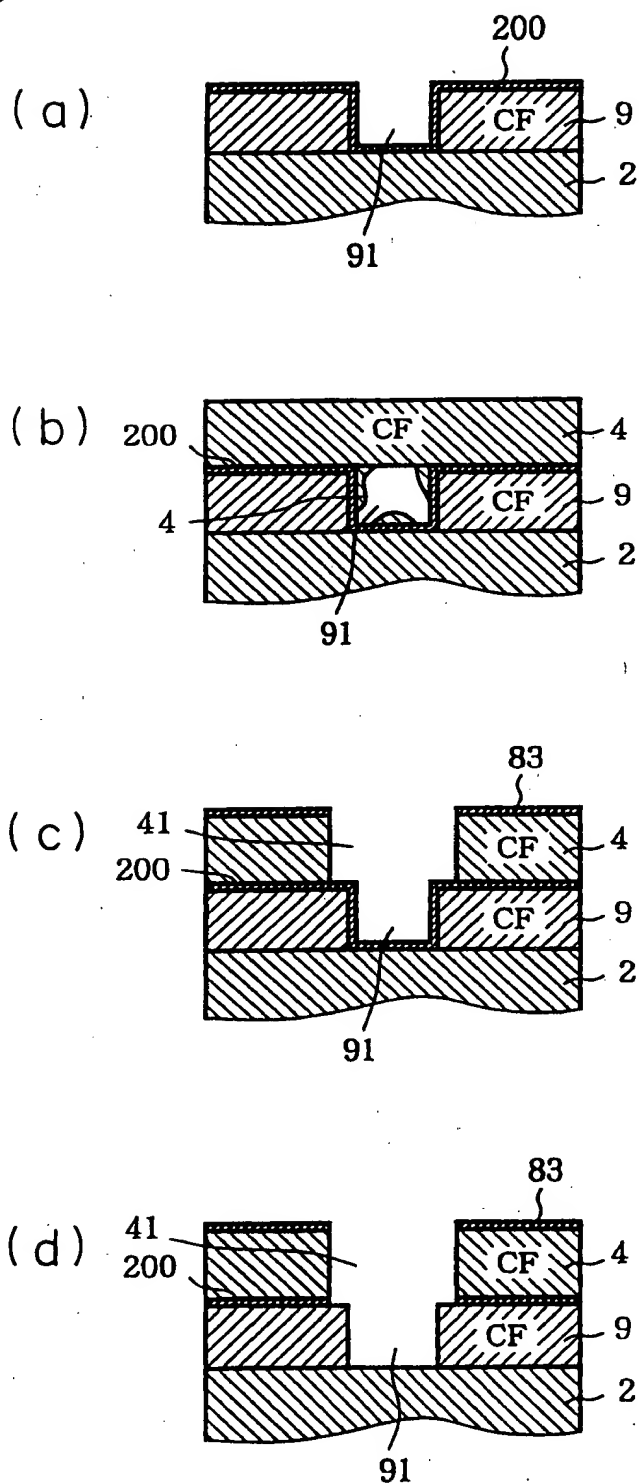


FIG. 16

16/18

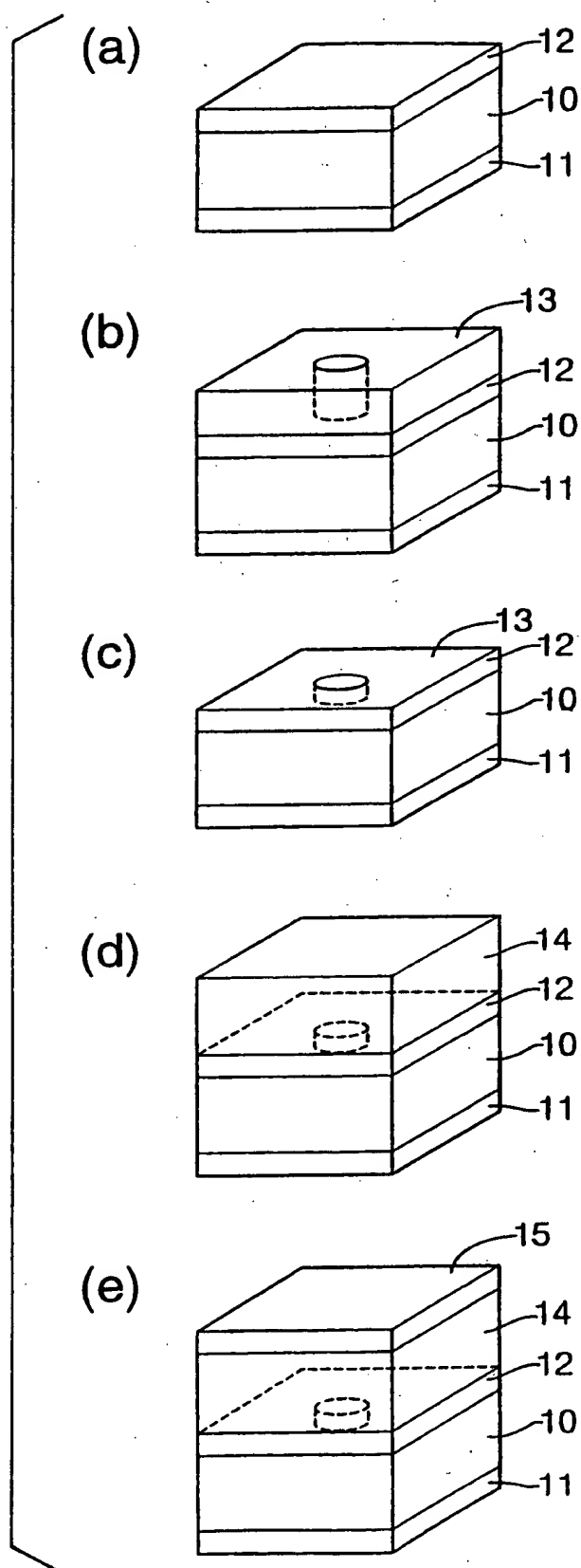


FIG. 17

17/18

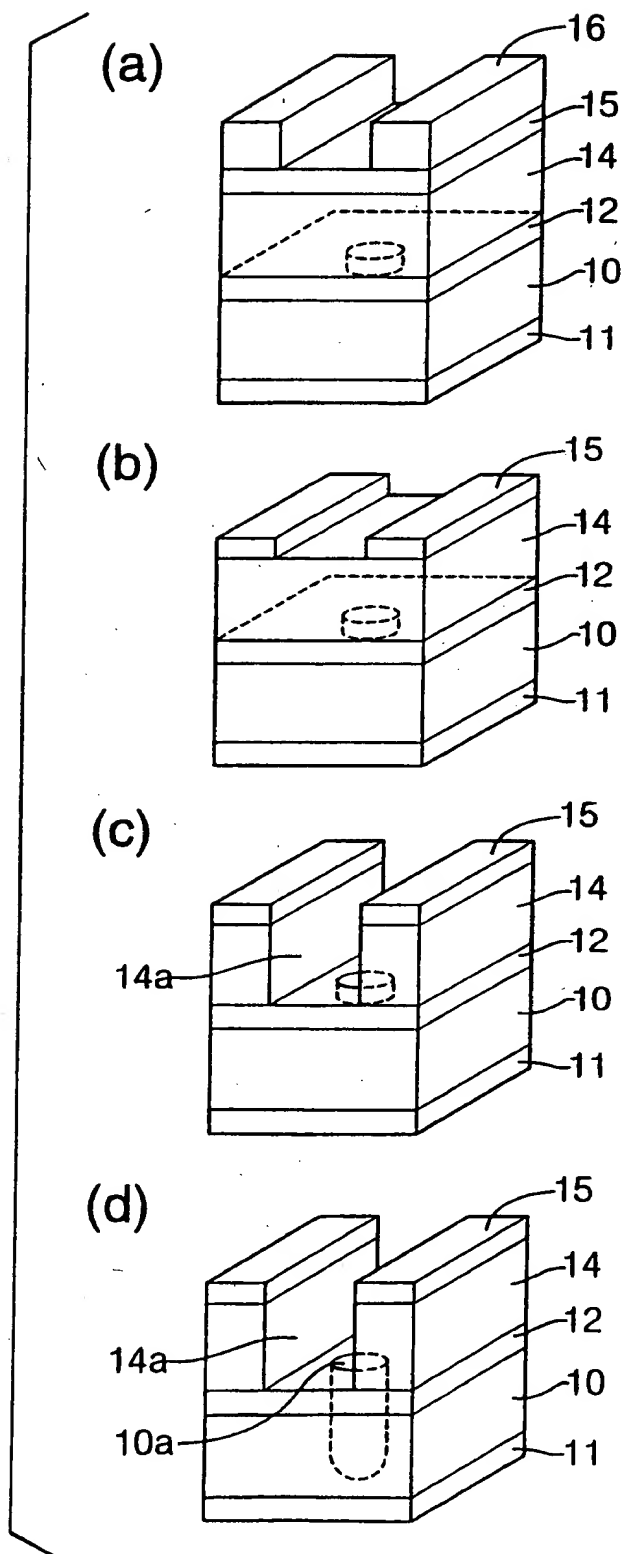


FIG. 18

18/18

有機 SOG	$\left(\begin{array}{c} \text{CH}_3 \\ \\ \text{Si} - \text{O} \\ \\ \text{O} \end{array} \right)_m - \left(\begin{array}{c} \text{Si} - \text{O} \\ \\ \text{O} \end{array} \right)_n$
ポリイミド	$\left(\text{R}_1 - \text{N} \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \text{R}_2 \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \text{N} \right)_n$
F添加ポリイミド	$\left(\text{R}_1 - \begin{array}{c} \text{CF}_3 \\ \\ \text{C} \\ \\ \text{CF}_3 \end{array} - \text{R}_1 - \text{N} \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \text{R}_2 - \begin{array}{c} \text{CF}_3 \\ \\ \text{C} \\ \\ \text{CF}_3 \end{array} - \text{R}_2 \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \text{N} \right)_n$
BCB	$\left(\begin{array}{c} \text{CH} \\ \\ \text{CH}_2 \end{array} \text{C}_6\text{H}_4 - \text{CH}=\text{CH} - \begin{array}{c} \text{CH}_3 \\ \\ \text{Si} - \text{O} \\ \\ \text{CH}_3 \end{array} - \begin{array}{c} \text{CH}_3 \\ \\ \text{Si} \\ \\ \text{CH}_3 \end{array} \text{C}_6\text{H}_4 \begin{array}{c} \text{CH} \\ \\ \text{CH}_2 \end{array} \right)_n$
フッ化 ポリアリルエーテル	$\left(\text{R} - \text{O} - \begin{array}{c} \text{F} \quad \text{F} \quad \text{F} \quad \text{F} \\ \quad \quad \quad \\ \text{C}_6\text{H}_2 \\ \quad \quad \quad \\ \text{F} \quad \text{F} \quad \text{F} \quad \text{F} \end{array} - \text{O} \right)_n$
F添加パリレン	$\left(\text{CF}_2 - \text{C}_6\text{H}_4 - \text{CF}_2 \right)_n$
テフロン	$\left(\text{CF}_2 - \text{CF}_2 \right)_m - \left(\begin{array}{c} \text{CF} - \text{CF} \\ \quad \\ \text{O} - \text{C} - \text{O} \\ \quad \\ \text{CF}_3 - \text{CF}_3 \end{array} \right)_n$
サイトップ	$\left(\text{CF}_2 - \text{CF} \begin{array}{c} (\text{CF}_2)_x \\ \diagup \quad \diagdown \\ (\text{CF}_2)_y \end{array} \text{CF} - (\text{CF}_2)_x \right)_n$

FIG. 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04741

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁶ H01L21/3205, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ H01L21/31-21/3213, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y	JP, 3-198327, A (Fujitsu Limited), 29 August, 1991 (29.08.91), Page 12, lower right column, line 10 to page 13, lower right column, line 6; Fig. 8 Page 12, lower right column, line 10 to page 13, lower right column, line 6; Fig. 8 & EP, 435187, A & US, 5169800, A	1-12 13-22
A	JP, 6-53161, A (NEC Corporation), 25 February, 1994 (25.02.94), Full text; Figs. 1, 2 (Family: none)	1-22
A	JP, 9-246264, A (International business Machines Corp.), 19 September, 1997 (19.09.97), Full text; Figs. 1-3 & US, 5942769, A & US, 5945155, A & KR, 97063568, A	1-10, 13-16, 18-21

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 November, 1999 (30.11.99)Date of mailing of the international search report
07 December, 1999 (07.12.99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04741

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-55429, A (NEC Corporation), 25 February, 1997 (25.02.97), Full text; Figs. 1-13 & GB, 2304231, A & US, 5717251, A & KR, 97013221, A	11, 12, 17, 22
PY	JP, 10-261707, A (Sony Corporation), 29 September, 1998 (29.09.98), Full text; Figs. 1-8 (Family: none)	1-22
PY	JP, 11-176935, A (Sony Corporation), 02 July, 1999 (02.07.99), Full text; Figs. 1-8 (Family: none)	1-22
EY	JP, 11-297820, A (NEC Corporation), 29 October, 1999 (29.10.99), Full text; Figs. 1-11 (Family: none)	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/3205, H01L21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/31-21/3213, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A Y	J P, 3-198327, A (富士通株式会社) 29. 8月. 1991 (29. 08. 91) 第12頁右下欄第10行-第13頁右下欄第6行, 第8図 第12頁右下欄第10行-第13頁右下欄第6行, 第8図 & EP, 435187, A & US, 5169800, A	1-12 13-22
A	J P, 6-53161, A (日本電気株式会社) 25. 2月. 1994 (25. 02. 94) 全文, 図1-図2 (ファミリーなし)	1-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

30. 11. 99

国際調査報告の発送日

07 December 1999 (07.12.99)

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一



4 L

8122

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-246264, A (インターナショナル・ビジネス・ マシーンス・コーポレーション) 19. 9月. 1997 (19. 09. 97) 全文, 図1-図3 & US, 5942769, A & US, 5945155, A & KR, 97063568, A	1-10, 13-16, 18-21
A	J P, 9-55429, A (日本電気株式会社) 25. 2月. 1997 (25. 02. 97) 全文, 図1-図13 & GB, 2304231, A & US, 5717251, A & KR, 97013221, A	11, 12, 17, 22
PY	J P, 10-261707, A (ソニー株式会社) 29. 9月. 1998 (29. 09. 98) 全文, 図1-図8 (ファミリーなし)	1-22
PY	J P, 11-176935, A (ソニー株式会社) 2. 7月. 1999 (02. 07. 99) 全文, 図1-図8 (ファミリーなし)	1-22
EY	J P, 11-297820, A (日本電気株式会社) 29. 10月. 1999 (29. 10. 99) 全文, 図1-図11 (ファミリーなし)	1-22